

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233713

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

H 0 4 B 1/707

H 0 4 J 13/04

識別記号

F I

H 0 4 J 13/00

D

G

審査請求 未請求 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願平9-36570

(22) 出願日 平成9年(1997) 2月20日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 角田 久美

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 石井 崇人

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 阿部 達也

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74) 代理人 弁理士 船津 朝宏 (外1名)

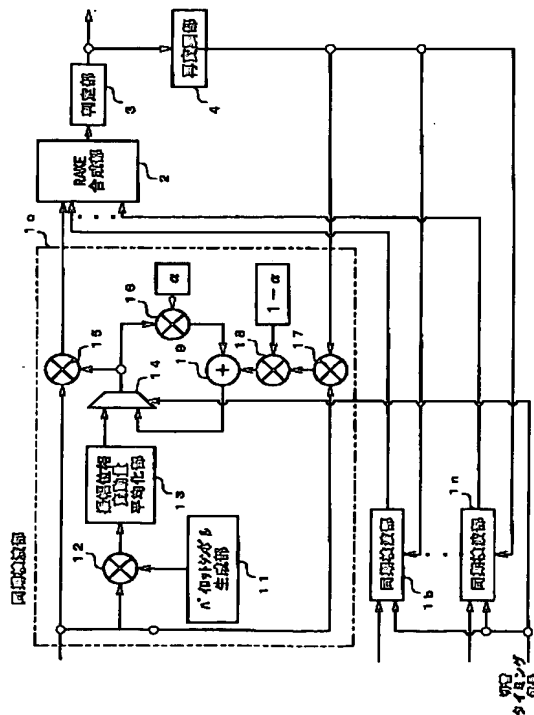
最終頁に続く

(54) 【発明の名称】 同期検波回路

(57) 【要約】

【課題】 従来の同期検波回路では、回路規模と消費電力とが増大し、また、DS-CDMA方式に適用できないという問題点があったが、本発明では、回路規模を縮小して消費電力を低減し、また、判定遅延が少なくDS-CDMA方式に適用できる同期検波回路を提供する。

【解決手段】 同期検波部1がパイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償して、RAKE合成部2に出力し、判定部3が同期検波の結果である判定データを外部に出力するとともに、判定データを再変調部4が再変調して同期検波部1に帰還し、同期検波部1が逐次的に振幅位相補償ベクトルを更新する同期検波回路である。



【特許請求の範囲】

【請求項1】 パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新することを特徴とする同期検波回路。

【請求項2】 パイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして、第1の情報シンボルの振幅位相変動量を前記振幅位相補償ベクトルを用いて補償し、第2の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し、当該情報シンボルの振幅位相変動量を前記更新された振幅位相補償ベクトルを用いて補償し、第3番目以降の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記更新された振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新して、当該情報シンボルの振幅位相変動量を補償することを特徴とする同期検波回路。

【請求項3】 請求項2記載の加重平均は、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量に対する加重が振幅位相補償ベクトルに対する加重よりも軽いことを特徴とする請求項2記載の同期検波回路。

【請求項4】 パイロットシンボルの平均振幅位相変動量を、1スロット前のパイロットシンボルに対する平均振幅位相変動量と今回算出したパイロットシンボルの平均振幅位相変動量との加算平均としたことを特徴とする請求項2又は請求項3記載の同期検波回路。

【請求項5】 パイロットシンボルの平均振幅位相変動量を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する平均振幅位相変動量と今回算出したパイロットシンボルの平均振幅位相変動量との加算平均としたことを特徴とする請求項2又は請求項3記載の同期検波回路。

【請求項6】 パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの平均振幅位相変動量として出力する振幅位相変動量平均化部と、選択的出力を行うセクタと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した関連データの入力を受けて、前記関連データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路で

あつて前記セクタは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの関連データが入力されている間は、前記平均振幅位相変動量を選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセクタであり、

前記第2の複素共役乗算器は、前記入力された関連データと前記セクタで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、

10 前記第1の乗算器は、前記セクタから出力される信号に平均化された重みを乗算する第1の乗算器であり、

前記第3の複素共役乗算器は、前記判定データを再変調した信号の入力を外部から受けて、前記入力された関連データとの複素共役乗算を算出する第3の複素共役乗算器であり、

前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、

20 前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重みづけされた信号とを加算して前記セクタに出力する加算器である同期検波部を有することを特徴とする同期検波回路。

【請求項7】 パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして再生する判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴とする同期検波回路。

30 【請求項8】 パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして軟判定し、再生する軟判定部と、前記判定データを軟判定の尤度に応じて振幅を重み付けして再変調し、受信シンボルのレプリカとして前記同期検波部に帰還して出力する再変調部とを有することを特徴とする同期検波回路。

40 【請求項9】 パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの平均振幅位相変動量として出力する振幅位相変動量平均化部と、前記振幅位相変動量平均化部が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタと、前記振幅位相変動量平均化部が現在出力している平均振幅位相変動ベクトルと、前記平均振幅位相変動ベクトル格納用レジスタが格納している平均振幅位相変動ベクトルとの加算平均値を算出してセクタに出力する加算平均部と、選択的出力を行うセクタと、第2の複素共役

乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した相関データの入力を受けて、前記相関データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、前記セレクトは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの相関データが入力されている間は、前記加算平均部から出力される前記平均振幅位相変動ベクトルを選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセレクトであり、前記第2の複素共役乗算器は、前記入力された相関データと前記セレクトで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、前記第1の乗算器は、前記セレクトから出力される信号に平均化された重みを乗算する第1の乗算器であり、前記第3の複素共役乗算器は、判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重み付けされた信号とを加算して前記セレクトに出力する加算器である同期検波部を有することを特徴とする同期検波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信における同期検波回路に係り、特に回路規模を縮小し、消費電力を低減しつつ、DS-CDMA方式に適用できる同期検波回路に関する。

【0002】

【従来の技術】移動体通信においては、限られた周波数等の資源を有効に利用する方法としてさまざまな多元接続の方法が考案されており、近年、DS-CDMA (Direct Sequence-Code Division Multiple Access : 直接拡散符号分割多元接続) 方式と称される方法が注目されている。

【0003】DS-CDMA方式では、その方式に特有の閉ループ制御型送信電力制御を行うためには、シンボルの判定に1スロット程度の遅延がないようにしなければならないことが知られている。

【0004】従来から同期検波の方法として、受信側で一定周期で挿入されるパイロットシンボルを用いて無線伝搬路変動を推定し、その無線伝搬路の変動の推定値を用いて受信シンボルを補償することによって、受信シン

ボルの振幅位相変動を補償する方法が提案されている。

【0005】かかる従来の同期検波回路について、図5を参照しつつ説明する。図5は、従来の同期検波回路の構成ブロック図である。従来の同期検波回路は、パイロット内挿補間型同期検波回路によって精度の高い同期検波を実現するもので、複数の同期検波部61と、RAKE合成部62と、判定部63とから基本的に構成されている。

【0006】また、各同期検波部61は、シンボル格納メモリ71と、パイロットシンボル生成回路72と、第1の複素共役乗算器73と、振幅位相変動量平均化部74と、補間回路75と、第2の複素共役乗算器76とから構成されている。

【0007】以下、各部を具体的に説明する。同期検波部61は、逆拡散された相関データの入力を受けて、シンボルの振幅位相を補償し、シンボルをRAKE合成部62に出力するものであり、具体的には、後述する。RAKE合成部62は、同期検波部61からパス数分の振幅位相補償後の受信シンボルの入力を受けて、これらを加算し、RAKE合成を行うものである。

【0008】ここで、入力される受信シンボルは、逆拡散され、さらにパス分離された形のシンボルを想定しており、具体的には図6に示すようなものとなっている。図6は、同期検波回路に入力される受信シンボルの一例を表す説明図である。すなわち、入力される受信シンボルは、図6に示すように、パイロットシンボルが複数個並んだブロック（以下、「パイロットシンボルブロック」と称する）と情報シンボルが複数個並んだブロック（以下、「情報シンボルブロック」と称する）とから構成されるスロットが連続したものである。

【0009】判定部63は、RAKE合成部62からRAKE合成された受信シンボルの入力を受けて、予め設定されているしきい値と比較し、その比較の結果を判定データとして出力するものである。

【0010】ここで、同期検波部61の各部について、より具体的に説明する。シンボル格納メモリ71は、外部から入力される受信シンボルを1スロット分格納するものである。パイロットシンボル生成回路72は、既知のパイロットシンボルと同一の信号（以下、「レプリカ信号」と称する）を生成し、第1の複素共役乗算器73に出力するものである。

【0011】第1の複素共役乗算器73は、外部から入力される受信シンボル中のパイロットシンボルと、パイロットシンボル生成回路72から入力されるレプリカ信号との複素共役乗算を行い、受信したパイロットシンボルの振幅位相変動量を検出するものである。尚、受信シンボル中のパイロットシンボルは、通常、複数個連続したブロック（以下、「パイロットシンボルブロック」と称する）となっているので、第1の複素共役乗算器73は、その数だけ振幅位相変動量を出力するようになる。

【0012】振幅位相変動量平均化部74は、振幅位相変動量の雑音成分を抑圧するために、第1の複素共役乗算器73から入力される複数の振幅位相変動量を平均化し、平均振幅位相変動ベクトルを算出するものである。

【0013】つまり、n個の連続したパイロットシンボルからなるパイロットシンボルブロック内の第k番目の受信パイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ 、パイロットシンボル生成回路72が出力する第k番目のレプリカ信号のベクトルを $(U_{ik} + j U_{qk})$ とするとパイロットシンボルブロックの平均振幅位相変動ベクトル $(PR_i + j PR_q)$ は、次の【数1】に示されるものとなる。尚、ここで、「j」は虚数単位である。

【0014】

【数1】

$$PR_i = \frac{1}{n} \sum_{k=1}^n (U_{ik} \cdot P_{ik} + U_{qk} \cdot P_{qk})$$

$$PR_q = \frac{1}{n} \sum_{k=1}^n (U_{qk} \cdot P_{ik} - U_{ik} \cdot P_{qk})$$

【0015】補間回路75は、前回振幅位相変動量平均化部74から入力されるパイロットシンボルブロックの平均振幅位相変動ベクトルを記憶しており、今回振幅位相変動量平均化部74から入力されるパイロットシンボルブロックの平均振幅位相変動ベクトルとの間で補間して、シンボルの振幅位相変動を補償する振幅位相補償ベクトルを算出するものである。ここで、補間は、例えば内挿補間であり、具体的には、振幅位相変動を補償する情報シンボルブロックの前後に位置するパイロットシンボルブロックの平均振幅位相変動ベクトルを内挿補間する事により振幅位相補償ベクトルを算出することである。

【0016】つまり、補間する情報シンボルブロックの前に位置するパイロットシンボルブロックの平均振幅位相変動ベクトル（記憶している前回の平均振幅位相変動ベクトル）を $(PR_{io} + j PR_{qo})$ 、後に位置するパイロットシンボルブロックの平均振幅位相変動ベクトル

（今回の平均振幅位相変動ベクトル）を $(PR_{in} + j PR_{qn})$ とすると、例えば、これらの平均値で0次の内挿を行う場合、振幅位相補償ベクトル $(S_i + j S_q)$ は、次の【数2】で示されるものとなる。

【0017】

【数2】

$$S_i = \frac{PR_{io} + PR_{in}}{2}$$

$$S_q = \frac{PR_{qo} + PR_{qn}}{2}$$

【0018】第2の複素共役乗算器76は、補間回路75から入力される振幅位相補償ベクトルと、シンボル格

納メモリ71に格納されている受信シンボルの複素共役乗算を行って振幅位相変動を補償し、その結果を振幅位相補償後の受信シンボルとして出力するものである。

【0019】つまり、例えば情報シンボルブロック内の1番目の情報シンボルのベクトルを $(I_{i1} + j I_{q1})$ 、情報シンボルを補償するために内挿補間で求めた振幅位相補償ベクトルを $(S_i + S_q)$ とすると、振幅位相補償後における1番目の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次の【数3】で与えられるものとなる。

【0020】

【数3】

$$E_{i1} = I_{i1} \cdot S_i + I_{q1} \cdot S_q$$

$$E_{q1} = I_{q1} \cdot S_i - I_{i1} \cdot S_q$$

【0021】次に、従来の同期検波回路の動作について説明する。尚、以下の説明では、パイロットシンボルブロックは、パイロットシンボルが4個連続したものであるとしている。まず、受信された信号は、逆拡散され、さらにパス分離されて、パスごとに受信シンボルとして同期検波部61に入力される。そして、同期検波部61のシンボル格納メモリ71が受信シンボルを1スロット分格納する。

【0022】一方、パイロットシンボル生成回路72がレプリカ信号を生成し、第1の複素共役乗算器73が受信シンボル中のパイロットシンボルと、パイロットシンボル生成回路72から入力されるレプリカ信号との複素共役乗算を行い、受信した4個のパイロットシンボルの振幅位相変動量を検出する。

【0023】そして、振幅位相変動量平均化部74が第1の複素共役乗算器73から入力される4個の振幅位相変動量の平均を算出して、平均振幅位相変動ベクトルを出力し、補間回路75が前回入力された平均振幅位相変動ベクトルと今回入力された平均振幅位相変動ベクトルとの平均を算出して、振幅位相補償ベクトルとして、第2の複素共役乗算器76に出力する。

【0024】そして、第2の複素共役乗算器76がシンボル格納メモリ71に格納されている受信シンボルと振幅位相補償ベクトルとの複素共役乗算を行って、各情報シンボルを補償し、振幅位相を補償した受信シンボルとしてRAKE合成部62に出力する。つまり、振幅位相を補償した受信シンボルとは、補間回路75が出力する振幅位相補償ベクトルの振幅値で重み付けされた受信シンボルである。

【0025】そして、RAKE合成部62が複数の同期検波部61から入力される振幅位相を補償した受信シンボルを加算合成し（最大比合成を算出し）、加算合成された受信シンボルを判定部63に出力する。

【0026】そして、判定部63が最大比合成された受信シンボルと予め設定されたしきい値とを比較判定し、その結果を判定データとして出力する。

【0027】

【発明が解決しようとする課題】しかしながら、上記従来の同期検波回路では、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用しているため、受信シンボルを一時的に格納するメモリが必要になり、パスダイバシティ効果を向上させるためにパス数を増やせばその分だけメモリ容量が増大し、回路規模と消費電力とが増大するという問題点があった。

【0028】また、DS-CDMA方式では、基地局が移動局からの受信信号を元に干渉電力を求め、当該干渉電力に応じて移動局に対する送信電力を調整する、閉ループ制御型送信電力制御と称される送信電力制御の方法が採用されることがあるが、上記従来の同期検波回路では、判定データを得るまでに1スロット分の時間の遅延が発生するため、受信信号に基づく送信電力の制御も1スロット分の時間だけ遅延して誤差が大きくなり、加入者容量が低下し、通信品質に劣化を来すなどDS-CDMA方式に適用できないという問題点があった。

【0029】本発明は上記実情に鑑みて為されたもので、回路規模を縮小して消費電力を低減し、また、判定遅延が少なく閉ループ制御型送信電力制御を採用するDS-CDMA方式に適用できる同期検波回路を提供することを目的とする。

【0030】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、同期検波回路において、パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0031】上記従来例の問題点を解決するための請求項2記載の発明は、同期検波回路において、パイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして、第1の情報シンボルの振幅位相変動量を前記振幅位相補償ベクトルを用いて補償し、第2の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し、当該情報シンボルの振幅位相変動量を前記更新された振幅位相補償ベクトルを用いて補償し、第3番目以降の情報シンボルは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と、前記更新された振幅位相補償ベクトルとの加重平均値を新たな振幅位相補償ベクトルとして更新し

て、当該情報シンボルの振幅位相変動量を補償することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0032】上記従来例の問題点を解決するための請求項3記載の発明は、請求項2記載の同期検波回路において、加重平均は、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量に対する加重が振幅位相補償ベクトルに対する加重よりも軽いことを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0033】上記従来例の問題点を解決するための請求項4記載の発明は、請求項2又は請求項3記載の同期検波回路において、パイロットシンボルの振幅位相変動量の平均を、1スロット前のパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均としたことを特徴としており、高い精度で振幅位相変動量を補償した判定データを出力でき、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0034】上記従来例の問題点を解決するための請求項5記載の発明は、請求項2又は請求項3記載の同期検波回路において、パイロットシンボルの振幅位相変動量の平均を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均としたことを特徴としており、高い精度で振幅位相変動量を補償した判定データを出力でき、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0035】上記従来例の問題点を解決するための請求項6記載の発明は、同期検波回路において、パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された関連データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力する振幅位相変動量平均化部と、選択的出力を行うセレクトと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した関連データの入力を受けて、前記関連データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、前記セレクトは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの関連データが入力されている間は、前記振幅位相変動量の平均を選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセレクトであり、前記第2の複素共役乗算器は、前記入力された関連データと前記セレクトで選択されて出

力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、前記第1の乗算器は、前記セクタから出力される信号に平均化された重みを乗算する第1の乗算器であり、前記第3の複素共役乗算器は、前記判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重みづけされた信号とを加算して前記セクタに出力する加算器である同期検波部を有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0036】上記従来例の問題点を解決するための請求項7記載の発明は、同期検波回路において、パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして再生する判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0037】上記従来例の問題点を解決するための請求項8記載の発明は、同期検波回路において、パスに対応して設けられた複数の請求項6記載の同期検波部と、前記同期検波部の出力を合成する合成部と、前記合成部で合成された結果から情報シンボルを判定データとして軟判定し、再生する軟判定部と、前記判定データを再変調して前記同期検波部に帰還して出力する再変調部とを有することを特徴としており、回路規模と消費電力とを低減し、DS-CDMA方式に適用できる。

【0038】上記従来例の問題点を解決するための請求項9記載の発明は、同期検波回路において、パイロットシンボルと同一の信号であるレプリカ信号を出力するパイロットシンボル生成部と、入力された相関データと前記レプリカ信号との複素共役乗算を算出する第1の複素共役乗算器と、前記複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力する振幅位相変動量平均化部と、前記振幅位相変動量平均化部が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタと、前記振幅位相変動量平均化部が現在出力している平均振幅位相変動ベクトルと、前記平均振幅位相変動ベクトル格納用レジスタが格納している平均振幅位相変動ベクトルとの加算平均値を算出してセクタに出力する加算平均部と、選択的出力を行うセクタと、第2の複素共役乗算器と、第1の乗算器と、第3の複素共役乗算器と、第2の乗算器と、加算器とを具備する同期検波部を備え、シンボルを逆拡散した

相関データの入力を受けて、前記相関データの振幅位相変動量を補償して同期検波の結果である判定データを出力する同期検波回路であって、前記セクタは、外部から入力される切替タイミング信号に従って、第1の情報シンボルの相関データが入力されている間は、前記加算平均部から出力される前記平均振幅位相変動ベクトルを選択して出力し、そうでないときには、前記加算器からの出力を選択して出力するセクタであり、前記第2の複素共役乗算器は、前記入力された相関データと前記セクタで選択されて出力された信号との複素共役乗算を算出して外部に出力する第2の複素共役乗算器であり、前記第1の乗算器は、前記セクタから出力される信号に平均化された重みを乗算する第1の乗算器であり、前記第3の複素共役乗算器は、判定データを再変調した信号の入力を外部から受けて、前記入力された相関データとの複素共役乗算を算出する第3の複素共役乗算器であり、前記第2の乗算器は、前記第3の複素共役乗算器から入力される複素共役乗算の結果に平均化された重みを乗算する第2の乗算器であり、前記加算器は、前記第1の乗算器で重み付けされた信号と前記第2の乗算器で重みづけされた信号とを加算して前記セクタに出力する加算器である同期検波部を有することを特徴としており、回路規模と消費電力とを低減しつつ、高い精度で振幅位相変動量を補償して判定データを再生でき、かつDS-CDMA方式に適用できる。

【0039】

【発明の実施の形態】本発明の実施の形態を図面を参照しながら説明する。本発明に係る同期検波回路（本回路）は、1シンボル前の情報シンボル又はパイロットシンボルを用いて算出される振幅位相変動量によって、情報シンボルの振幅位相変動を補償するもので、メモリを用いることがないため、回路規模と消費電力とを低減でき、また、補償を行って判定データを出力するまでに1スロット分もの遅延が生じることがないためにDS-CDMA方式に適用できるものである。

【0040】本回路は、図1に示すように、複数の同期検波部1と、RAKE合成部2と、判定部3と、再変調部4とから構成されている。図1は、本回路の構成ブロック図である。また、同期検波部1は、パイロットシンボル生成部11と、第1の複素共役乗算器12と、振幅位相変動量平均化部13と、セクタ14と、第2の複素共役乗算器15と、第1の乗算器16と、第3の複素共役乗算器17と、第2の乗算器18と、加算器19とから構成されている。尚、請求項において、RAKE合成部2を単に「合成部」と略称している。

【0041】以下、各部を具体的に説明する。同期検波部1は、従来の同期検波部61と同様に、それぞれRAKE合成を行うパスごとの逆拡散された相関データの入力を受けて、シンボルの振幅位相を補償し、シンボルをRAKE合成部2に出力するものであるが、シンボルを

出力する際に大幅な遅延が発生しないようになっているものである。具体的には後述する。

【0042】RAKE合成部2は、従来のRAKE合成部62と、また、判定部3は、従来の判定部63と、それぞれ同様のものであるので、説明を省略する。再変調部4は、判定データを再変調し、その結果を再変調信号として同期検波部1に帰還して出力するものである。

【0043】次に、同期検波部1の各部について具体的に説明する。同期検波部1のパイロットシンボル生成部11は、従来のパイロットシンボル生成部62と同様にレプリカ信号を出力するものである。

【0044】第1の複素共役乗算器12は、従来の第1の複素共役乗算器73と同様に、入力された受信シンボルに含まれる複数のパイロットシンボルと、パイロットシンボル生成回路11から入力されるレプリカ信号とを複素共役乗算して、それぞれのパイロットシンボルに対応する複数の受信パイロットシンボルの振幅位相変動量を算出するものである。

【0045】振幅位相変動量平均化部13は、従来の振幅位相変動量平均化部74と同様に、振幅位相変動量の雑音成分を抑圧するために、第1の複素共役乗算器12から入力される複数の受信パイロットシンボルの振幅位相変動量の平均を算出して、パイロットシンボルブロックの平均振幅位相変動ベクトルとして出力するものである。

【0046】セレクトア14は、外部から入力される切替タイミング信号に従って、振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルと後に説明する加算器19から入力される振幅位相補償ベクトルとのいずれかを切り替えて出力するものである。

【0047】切替タイミング信号は、後に説明するように、 n 個の情報シンボルのうち、パイロットシンボルブロックの直後にある第1の情報シンボル（情報シンボルブロックの先頭のシンボル）が同期検波部1に入力されている間は振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルを出力するように、また、その他の情報シンボルが入力されている間は、加算器19から入力される振幅位相補償ベクトルを出力するようにするものである。

【0048】そして、第2の複素共役乗算器15は、受信シンボルとセレクトア14から出力されるベクトルとの複素共役乗算を行い、振幅位相補償後の受信シンボルとして外部に出力するものである。

【0049】つまり、第2の複素共役乗算器15が出力する振幅位相補償後の受信シンボルは、第1の情報シンボルについては、パイロットシンボルブロックで算出した平均位相変動ベクトルによって振幅位相補償を行ったものとなり、その他の情報シンボルについては、後に説明するように第1の情報シンボルの判定データを再変調した再変調信号による振幅位相補償ベクトルによって振

幅位相補償を行ったものとなる。

【0050】第1の乗算器16は、セレクトア14から入力されるベクトルと係数 α とを乗算して出力するものである。ここで、係数 α とは、 $0 \leq \alpha \leq 1$ なる重みづけ係数（パラメータ）であり、セレクトア14が出力するベクトルと、後に説明する判定データの再変調信号による受信シンボルの振幅位相変動量との混合比を表すものである。

【0051】尚、係数 α は、小さすぎると再変調信号による受信シンボルの振幅位相変動量の影響が大きくなりすぎることとなって、判定誤りが発生した場合に特性が劣化し、係数 α が大きすぎると再変調信号による受信シンボルの振幅位相変動量が振幅位相補償ベクトルに反映されなくなるため、これらのバランスを考慮して実験的に決められなければならない。

【0052】一方、係数 α を分数で表現したとき、その分母が2のべき乗になっているとき、第1の乗算器16と、第2の乗算器18と、加算器19とで構成される加重平均部の回路構成が簡略にできることが知られている。そのため、例えば、 α は、 $7/8 = 0.875$ であることが現在最適と考えられる。

【0053】第3の複素共役乗算器17は、再変調部4から入力される再変調信号と、外部から入力される受信シンボルとを複素共役乗算して、受信シンボルの振幅位相変動量として出力するものである。第2の乗算器18は、第3の複素共役乗算器17から入力される受信シンボルの振幅位相変動量と係数 $(1 - \alpha)$ を乗算して、出力するものである。尚、係数 α が $0 \leq \alpha \leq 1$ であるので、係数 $(1 - \alpha)$ もまた $0 \leq (1 - \alpha) \leq 1$ という条件を満たすようになる。

【0054】加算器19は、第1の乗算器16から入力される振幅位相補償ベクトルと係数 α との積に、第2の乗算器18から入力される受信シンボルの振幅位相変動量と係数 $(1 - \alpha)$ との積とを加算し、振幅位相補償ベクトルとして出力するものである。

【0055】次に、本回路の動作について説明する。尚、本回路に入力される逆拡散された相関データは、図2(a)に示すようなものであり、図6に示した従来のものと同一のものである。図2は、本回路の動作を表すタイミングチャート図である。

【0056】また、切替タイミング信号は、図2(b)に示すようなものとなっていることが考えられる。ここでは模式的に、切替タイミング信号はパルス信号であるものとし、当該信号が「H」（High）であるときにセレクトア14が振幅位相変動量平均化部13から入力される平均振幅位相変動ベクトルを選択して出力するように、また、当該信号が「L」（Low）であるときにセレクトア14が加算器19から入力される振幅位相補償ベクトルを出力するようになっているとしている。

【0057】逆拡散された相関データがパイロットシン

ボルブロックである場合には、従来の同期検波回路と同様に、同期検波部1のパイロットシンボル生成部11がパイロットシンボルのレプリカ信号を出力し、第1の複素共役乗算器12が入力された相関データとレプリカ信号とを複素共役乗算し、さらに振幅位相変動量平均化部13が平均振幅位相変動ベクトルを算出する。

【0058】つまり、n個の連続したパイロットシンボルからなるパイロットシンボルブロック内のk番目の受信パイロットシンボルのベクトルを $(P_{ik} + j P_{qk})$ 、パイロットシンボル生成回路11が出力するk番目のレプリカ信号のベクトルを $(U_{ik} + j U_{qk})$ とすると振幅位相変動量平均化部13が出力するパイロットシンボルブロックの平均振幅位相変動ベクトル $(PR_i + j PR_q)$ は、従来と同様に【数1】で示したものと同等になる。

【0059】そして、第1の情報シンボルの相関データが入力されるタイミングで、切替タイミング信号が

「H」となるので、セクタ14が振幅位相変動量平均化部13が平均振幅位相変動ベクトルを選択して出力する。

【0060】そして、第2の複素共役乗算器15が第1の情報シンボルの相関データと平均振幅位相変動ベクトルとの複素共役乗算を行って、振幅位相補償後の受信シンボルとして出力する。ここで、パイロットシンボルブロックから得られる平均振幅位相変動ベクトル $(PR_i + j PR_q)$ を用いると、第1の情報シンボルのベクトル $(E_{i1} + j E_{q1})$ は、次の【数4】で示したものになる。

【0061】

【数4】

$$\begin{aligned} E_{i1} &= I_{i1} \cdot PR_i + I_{q1} \cdot PR_q \\ E_{q1} &= I_{q1} \cdot PR_i - I_{i1} \cdot PR_q \end{aligned}$$

【0062】ここで、 $(I_{i1} + j I_{q1})$ は、入力された第1の情報シンボルの相関データである。そして、RAKE合成部2が同期検波部1が出力する、各パスに対応する信号をRAKE合成し、判定部3が従来と同様にし判定データを出力する。ここで、判定部3が出力する判定データは、外部に出力されるとともに、本回路の再変調部4にも出力される。

【0063】そして、再変調部4が判定データを再変調し、再変調信号として各同期検波部1の第3の複素共役乗算器17に出力する。すると、第3の複素共役乗算器17が第1の情報シンボルと当該再変調信号とを複素共役乗算して振幅位相補償ベクトルとして第2の乗算器18に出力する。

【0064】つまり、ここでの再変調信号は、第1の情報シンボルに対するレプリカ信号に相当する信号として扱われており、パイロットシンボルに対する【数1】に対応して、第1の情報シンボルの振幅位相変動量 $(I_{i1} + j I_{q1})$ は、次の【数5】に示されるものになる。

【0065】

【数5】

$$\begin{aligned} IR_{i1} &= I_{i1} \cdot D_{i1} + I_{q1} \cdot D_{q1} \\ IR_{q1} &= I_{q1} \cdot D_{i1} - I_{i1} \cdot D_{q1} \end{aligned}$$

【0066】ここで、 $(D_{i1} + j D_{q1})$ は、再変調信号のベクトルを表している。そして、第2の乗算器18が当該振幅位相補償ベクトルに係数 $(1 - \alpha)$ を乗算して加算器19に出力する。一方、セクタ14が出力している平均振幅位相変動ベクトルは、第1の乗算器16によって、係数 α が乗算され、加算器19に出力される。そして、加算器19が双方のベクトルを加算してセクタ14に出力するようになる。

【0067】やがて、第2の情報シンボルの相関データが入力されるようになると、切替タイミング信号が

「L」となって、セクタ14が加算器19から入力されるベクトルの和を出力するようになる。つまり、加算器19が出力するベクトルは、第2以降の情報シンボルのレプリカ信号に相当するもので、例えば、第2の情報シンボルに対しては、次の【数6】で表される $(S_{i2} + j S_{q2})$ となる。

【0068】

【数6】

$$\begin{aligned} S_{i2} &= \alpha \cdot PR_i + (1 - \alpha) \cdot IR_{i1} \\ S_{q2} &= \alpha \cdot PR_q + (1 - \alpha) \cdot IR_{q1} \end{aligned}$$

【0069】また、一般的には、次の【数7】で表される $(S_{in} + j S_{qn})$ となる。

【0070】

【数7】

$$\begin{aligned} S_{in} &= \alpha \cdot S_{i(n-1)} + (1 - \alpha) \cdot IR_{i(n-1)} \\ S_{qn} &= \alpha \cdot S_{q(n-1)} + (1 - \alpha) \cdot IR_{q(n-1)} \end{aligned}$$

ただし、

$$\begin{aligned} S_{i1} &= PR_i \\ S_{q1} &= PR_q \end{aligned}$$

【0071】そして、第2の複素共役乗算器15が第k番目の情報シンボルの相関データと当該ベクトルの和 $(S_{ik} + j S_{qk})$ との複素共役乗算を振幅位相補償後の受信シンボルとして出力する。

【0072】そして、同期検波部1から出力される、これら振幅位相補償後の受信シンボルをRAKE合成部2がRAKE合成して出力し、判定部3が判定データを出力するようになる。つまり、第1の情報シンボルは、パイロットシンボルブロックから得られる振幅位相変動ベクトルによって振幅位相補償を行い、以降の情報シンボ

ルは、判定データの再変調信号を帰還して、当該再変調信号と情報シンボルとから得られる振幅位相変動ベクトルによって次の情報シンボルの振幅位相補償を行うようになる。

【0073】本回路によれば、メモリを用いることなく、判定データの再変調信号を用いて、次の情報シンボルの振幅位相補償を行っており、回路規模を縮小して消費電力を低減でき、また、受信シンボルが入力されてから判定データが出力されるまでに1シンボルもの遅延が生ずることがないため、DS-CDMA方式に適用できる効果がある。

【0074】また、本回路の判定部3は、軟判定を行う判定部（軟判定部）であっても構わない。この場合には、再変調部4は、軟判定部3の出力である軟判定データの尤度に応じて振幅を重み付けして再変調し、結果を受信シンボルのレプリカとして同期検波部1に帰還して出力するようにしておくことが考えられる。ここで、軟判定とは、しきい値を複数設定した判定の方式をいい、尤度とは、例えば、次のような値である。すなわち、3ビットを用いた8値の軟判定とする場合には、両極に近い判定が為されたときには、尤度が高く、中間の値に近くなるほど、尤度が低いとされる。

【0075】このようにすれば、第3の複素共役乗算器17が算出する受信シンボルの振幅位相変動量を、判定データの尤度が低い時は位相を変えずに振幅を小さく抑えるようになり、雑音の帰還量を低減し、振幅位相補償をより高精度に行うことができる効果がある。

【0076】また、本回路において、全スロットの受信パイロットシンボルの平均位相振幅変動ベクトルを参照させ、より高精度な振幅位相補償を行わせるようにすることも考えられる。この場合の本回路は、図3に示すように、図1に示した本回路に加え、振幅位相変動量平均化部13が出力する平均振幅位相変動ベクトルを1スロットに亘って一時格納する平均振幅位相変動ベクトル格納用レジスタ31と、加算平均部32とを備えるようになっているものである。図3は、もう一つの本回路の構成ブロック図である。

【0077】ここで、加算平均部32は、現在振幅位相変動量平均化部13が出力している平均振幅位相変動ベクトルと、それに対応して平均振幅位相変動ベクトル格納用レジスタ31が格納している、前回の平均振幅位相変動ベクトルとの加算平均値を算出して図1に示す振幅位相変動量平均化部13が出力する平均振幅位相変動ベクトルの代わりにセレクタ14に出力するものである。

【0078】つまり、振幅位相変動量平均化部13が第k番目のパイロットシンボルの平均振幅位相変動ベクトルを出力しているときには、加算平均部32は、当該平均振幅位相変動ベクトルと、前回のスロットにおける第k番目のパイロットシンボルの平均振幅位相変動ベクトルとの加算平均を算出するようになっている。

【0079】つまり、図3に示した本回路では、kスロット目の情報シンボルブロック内の1番目の情報シンボルに対する振幅位相補償ベクトル（ $S_{in1} + j S_{qn1}$ ）は、次の〔数8〕で示されるものとなる。

【0080】

〔数8〕

$$S_{ik1} = \frac{PR_{i(k-1)} + PR_{ik}}{2}$$

$$S_{qk1} = \frac{PR_{q(k-1)} + PR_{qk}}{2}$$

【0081】さらに平均振幅位相変動ベクトル格納用レジスタ31の容量を大きくしておくことにより、過去の複数の対応する平均振幅位相変動ベクトルを平均加算するようにできる。このようにすれば、さらに精度を高めることができる効果がある。

【0082】尚、本回路は外挿補間型の同期検波回路といえることができるが、一般的な外挿補間型の同期検波回路と異なるのは、情報シンボルブロックの直前のパイロットシンボルブロックから算出された平均振幅位相変動ベクトルを振幅位相補償ベクトルとして固定的に使用し、受信シンボルを振幅位相補償するのではなく、判定データを帰還して、逐次的に振幅位相補償ベクトルを更新しながら受信シンボルを振幅位相補償する点にある。

【0083】従って本回路は、従来の外挿補間型の同期検波回路に比べて、スロットの後端に近い情報シンボルの誤り率特性の劣化が少なくなるという効果がある。

【0084】

【実施例】本回路を用いてIF折り返し室内実験を行った際の実施例を図4を用いて説明する。図4は、本回路の特性を表す説明図であり、横軸に1ビット当たりのエネルギー／雑音電力密度を、縦軸にビット誤り率（BER）を表示している。

【0085】ここに図4に示す実験の条件は、IF周波数が90MHz、拡散帯域が10MHz、変調方式をデータについてQPSK、拡散変調についてBPSKが使用されている。

【0086】尚、拡散率は128であり、シンボルレートは64ksp/s、チップレートは7.68Mcpsである。図4に示すように、本回路は、従来の内挿補間型の回路と同等の特性が得られることがわかる。

【0087】

【発明の効果】請求項1記載の発明によれば、パイロットシンボルブロックで算出した平均振幅位相変動ベクトルを振幅位相補償ベクトルとして、情報シンボルの振幅位相変動量を補償する同期検波回路において、同期検波の結果である判定データを帰還して、逐次的に前記振幅位相補償ベクトルを更新する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロット

ブロックの平均振幅位相変動ベクトルを利用する必要がなく、受信シンボルを一時的に格納するメモリが不要となり、回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0088】請求項2、3記載の発明によれば、情報シンボルの前に位置するパイロットシンボルブロックの平均振幅位相変動量を振幅位相補償ベクトルとして用いて、第1の情報シンボルの振幅位相変動量を補償し、その後新たにパイロットシンボルを受信するまでは、1シンボル前の同期検波の結果である判定データと当該1シンボル前の情報シンボルとの間の振幅位相変動量と1シンボル前の情報シンボルを補償する際に用いた振幅位相補償ベクトルとの重み付け平均値を新たな振幅位相補償ベクトルとして情報シンボルの振幅位相変動量を補償する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用する必要がなく、受信シンボルを一時的に格納するメモリが不要となり、回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0089】請求項4記載の発明によれば、パイロットシンボルの振幅位相変動量の平均を、1スロット前のパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均とする請求項2又は請求項3記載の同期検波回路としているので、パイロットシンボルの振幅位相変動量の精度を高め、請求項2又は請求項3記載の効果に加えて、情報シンボルの振幅位相変動の補償の精度を高めることができる効果がある。

【0090】請求項5記載の発明によれば、パイロットシンボルの振幅位相変動量の平均を、過去の複数のスロット前のそれぞれのパイロットシンボルに対する振幅位相変動量の平均と今回算出したパイロットシンボルの振幅位相変動量の平均との加算平均とする請求項2又は請求項3記載の同期検波回路としているので、パイロットシンボルの振幅位相変動量の精度を高め、請求項2又は請求項3記載の効果に加えて、情報シンボルの振幅位相変動の補償の精度を高めることができる効果がある。

【0091】請求項6記載の発明によれば、パイロットシンボル生成部がパイロットシンボルと同一の信号であるレプリカ信号を出力し、第1の複素共役乗算器がシンボルを逆拡散した関連データの入力を受けて、当該関連データとレプリカ信号との複素共役乗算を算出し、振幅位相変動量平均化部が複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力し、第1の情報シンボルの関連データが入力されると、セレクトが外部から入力される切替タ

イミング信号に従って、振幅位相変動量平均化部が出力する振幅位相変動量の平均を選択して出力し、第2の複素共役乗算器が入力された関連データとセレクトで選択されて出力された信号との複素共役乗算を算出して外部に出力するようになり、第3の複素共役乗算器が当該出力によって得られた、第1の情報シンボルの判定データを再変調した信号と第1の情報シンボルの関連データとの複素共役乗算を算出して第2の乗算器に出力し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算する一方、第1の乗算器がセレクトから出力される信号に平均化された重みを乗算し、加算器がそれら平均化された重みを乗算された信号を加算してセレクトに出力し、第2の情報シンボルの関連データが入力されると、セレクトが外部から入力される切替タイミング信号に従って、当該加算器から出力される信号を選択して出力するようになって、第2の複素共役乗算器が入力された関連データとセレクトで選択された加算器から入力される信号との複素共役乗算を算出して外部に出力し、第1の乗算器がセレクトから出力される当該信号に平均化された重みを乗算し、第3の複素共役乗算器が外部から判定データを再変調した信号の入力を受けて、入力された関連データとの複素共役乗算を算出し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算し、加算器がそれらを加算してセレクトに出力する同期検波部を有する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0092】請求項7記載の発明によれば、パスに対応して設けられた複数の請求項6記載の同期検波部が、シンボルを逆拡散した関連データの入力を受けて、当該関連データから振幅位相変動を補償した情報シンボルを出力し、合成部が同期検波部が出力する情報シンボルを合成し、判定部が合成部で合成された結果から情報シンボルを判定データとして再生し、判定データを再変調して同期検波部に帰還して出力する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0093】請求項8記載の発明によれば、パスに対応して設けられた複数の請求項6記載の同期検波部が、シンボルを逆拡散した相関データの入力を受けて、当該相関データから振幅位相変動を補償した情報シンボルを出力し、合成部が同期検波部が出力する情報シンボルを合成し、軟判定部が合成部で合成された結果から情報シンボルを軟判定データとして再生し、軟判定データを軟判定データの尤度に応じて振幅を重み付けして再変調し、受信シンボルのレプリカ信号を同期検波部に帰還して出力する同期検波回路としているので、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【0094】請求項9記載の発明によれば、パイロットシンボル生成部がパイロットシンボルと同一の信号であるレプリカ信号を出力し、第1の複素共役乗算器がシンボルを逆拡散した相関データの入力を受けて、当該相関データとレプリカ信号との複素共役乗算を算出し、振幅位相変動量平均化部が複素共役乗算の結果の平均を算出して、複数の受信パイロットシンボルの振幅位相変動量の平均として出力し、平均振幅位相変動ベクトル格納用レジスタが当該振幅位相変動量の平均を格納するとともに、前回格納した振幅位相変動量の平均を加算平均部に出力し、加算平均部が振幅位相変動量平均化部から出力される今回の振幅位相変動量の平均と平均振幅位相変動ベクトル格納用レジスタから入力される前回の振幅位相変動量の平均との加算平均の値をセレクトタに出力し、第1の情報シンボルの相関データが入力されると、セレクトタが外部から入力される切替タイミング信号に従って、振幅位相変動量平均化部が出力する振幅位相変動量の平均を選択して出力し、第2の複素共役乗算器が入力された相関データとセレクトタで選択されて出力された信号との複素共役乗算を算出して外部に出力するようになり、第3の複素共役乗算器が当該出力によって得られた、第1の情報シンボルの判定データを再変調した信号と第1の情報シンボルの相関データとの複素共役乗算を算出して第2の乗算器に出力し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算する一方、第1の乗算器がセレクトタから出力される信号に平均化された重みを乗算し、加算器がそれら平均化された重みを乗算された信号を加算してセレクトタに出力し、第2の情報シンボル*

*の相関データが入力されると、セレクトタが外部から入力される切替タイミング信号に従って、当該加算器から出力される信号を選択して出力するようになって、第2の複素共役乗算器が入力された相関データとセレクトタで選択された加算器から入力される信号との複素共役乗算を算出して外部に出力し、第1の乗算器がセレクトタから出力される当該信号に平均化された重みを乗算し、第3の複素共役乗算器が外部から判定データを再変調した信号の入力を受けて、入力された相関データとの複素共役乗算を算出し、第2の乗算器が複素共役乗算の結果に平均化された重みを乗算し、加算器がそれらを加算してセレクトタに出力する同期検波部を有する同期検波回路としているので、第1の情報シンボルを補償する振幅位相補償ベクトルの精度を高めるとともに、情報シンボルブロックの振幅位相変動を補償するために、情報シンボルブロックの後に位置するパイロットブロックの平均振幅位相変動ベクトルを利用することなく、逐次的に精度を担保しつつ、情報シンボルの振幅位相変動を補償しているため、受信シンボルを一時的に格納するメモリが不要となって回路規模と消費電力とを低減できる効果があり、また、判定データを得るまでに大きな遅延が生じないために、DS-CDMA方式に適用できる効果がある。

【図面の簡単な説明】

【図1】本回路の構成ブロック図である。

【図2】本回路の動作を表すタイミングチャート図である。

【図3】もう一つの本回路の構成ブロック図である。

【図4】本回路の特性を表す説明図である。

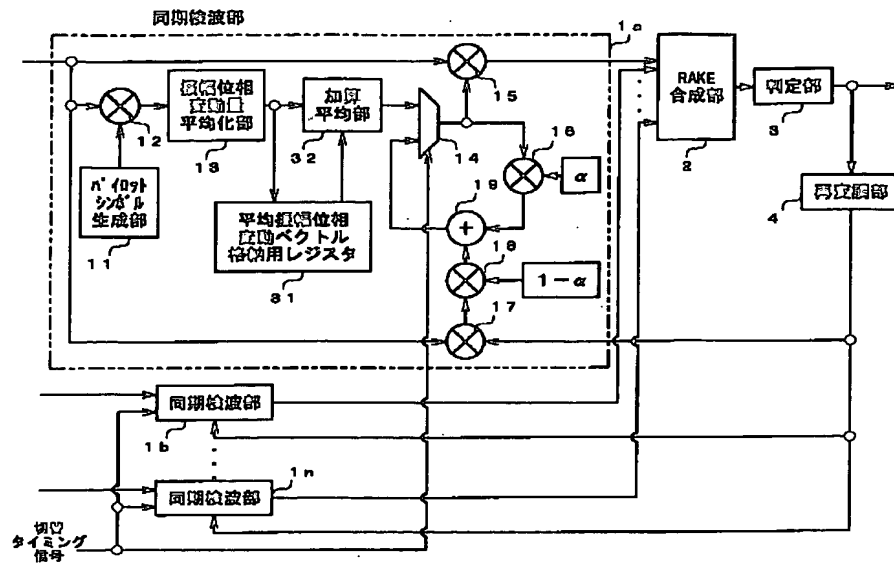
【図5】従来の同期検波回路の構成ブロック図である。

【図6】同期検波回路に入力される受信シンボルの一例を表す説明図である。

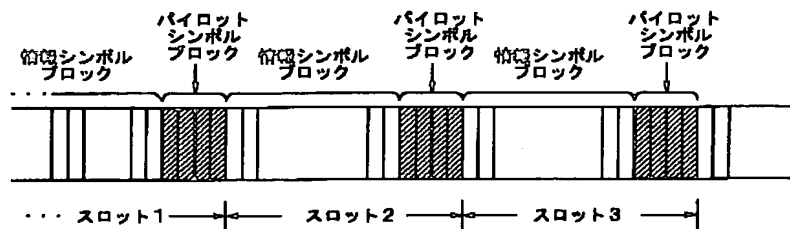
【符号の説明】

1…同期検波部、 2…RAKE合成部、 3…判定部、 4…再変調部、 11…パイロットシンボル生成部、 12…第1の複素共役乗算器、 13…振幅位相変動量平均化部、 14…セレクトタ、 15…第2の複素共役乗算器、 16…第1の乗算器、 17…第3の複素共役乗算器、 18…第2の乗算器、 19…加算器、 31…平均振幅位相変動ベクトル格納用レジスタ、 32…加算平均部、 61…同期検波部、 62…RAKE合成部、 63…判定部、 71…シンボル格納メモリ、 72…パイロットシンボル生成回路、 73…第1の複素共役乗算器、 74…振幅位相変動量平均化部、 75…補間回路、 76…第2の複素共役乗算器

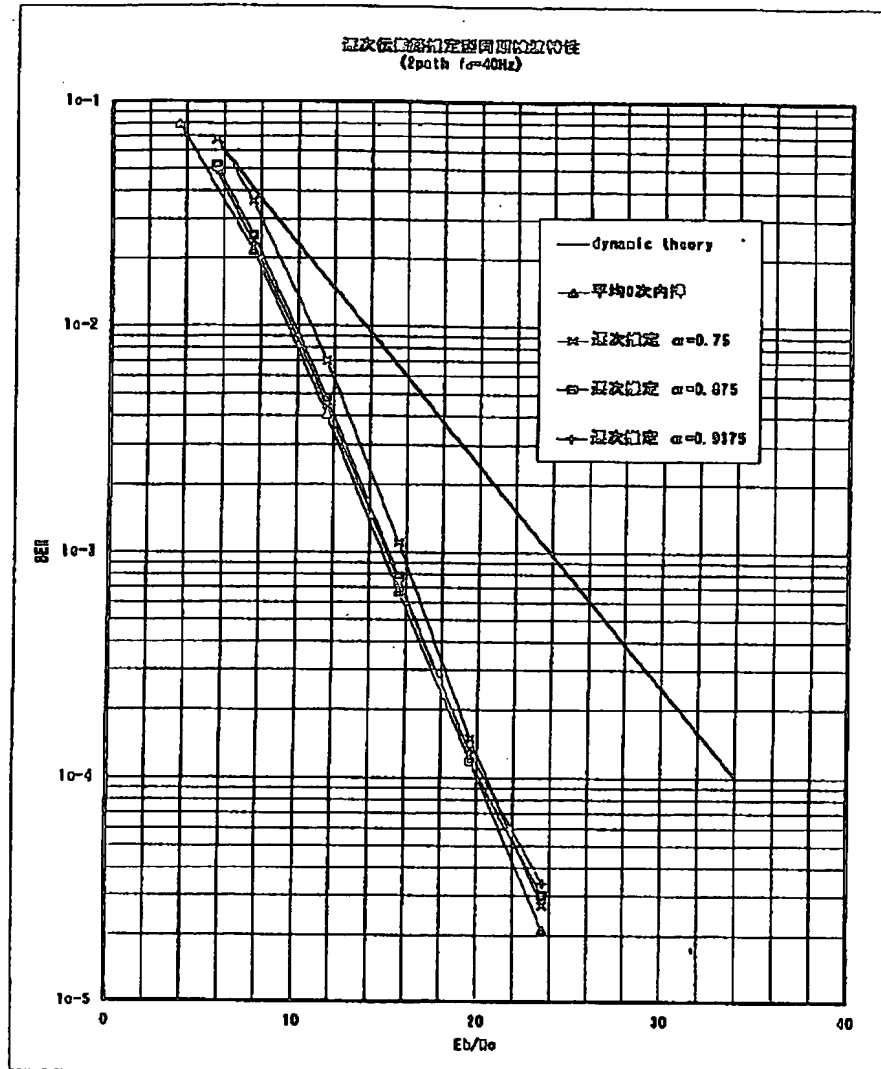
【図3】



【図6】



【図4】



フロントページの続き

(72)発明者 安部 俊二
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

AG

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10233713 A**(43) Date of publication of application: **02.09.98**

(51) Int. Cl.

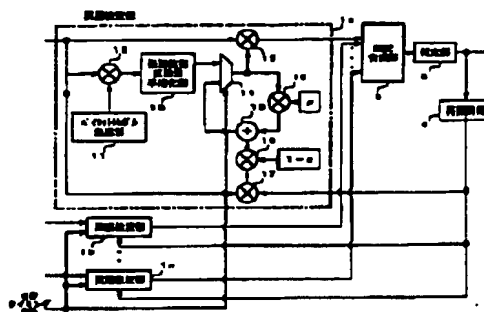
H04B 1/707
H04J 13/04
(21) Application number: **09036570**(22) Date of filing: **20.02.97**(71) Applicant: **KOKUSAI ELECTRIC CO LTD**
 (72) Inventor:
TSUNODA HISAMI
ISHII TAKAHITO
ABE TATSUYA
ABE SHUNJI
(54) **SYNCHRONIZATION DETECTION CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the synchronization detection circuit with reduced power consumption by reducing the circuit scale and applicable to the direct spread code division multiple access (DS-CDMA) system because of a small discrimination delay.

SOLUTION: Each of synchronization detection sections 1(1a-1n) uses a mean amplitude phase fluctuation vector as an amplitude phase compensation vector calculated in a pilot symbol block to compensate an amplitude phase fluctuation of an information symbol and provides an output of the result to a RAKE synthesis section 2, and a discrimination section 3 provides an output of discrimination data being the result of synchronization detection externally. Then a re-modulation section 4 applies re-modulation to the discrimination data and feeds back the result to each synchronization detection section 1 so that each synchronization detection section 1 updates sequentially the amplitude phase compensation vector.



Japanese Patent Application Laid-open No. 10-233713

(54) [Title of the Invention] Synchronization detection
Circuit

(57) [Abstract]

[Problem] Although there has been a problem that a conventional synchronization detection circuit is inapplicable to a DS-CDMA system, since a circuit scale and power consumption increase, the present invention provides a synchronization detection circuit that reduced a circuit scale and reduces power consumption, the circuit having its less judgment delay and being applicable to a DS-CDMA system.

[Means for Solving the Problems] A synchronization detection circuit is characterized in that a synchronization detection section 1 defines an average amplitude phase change vector computed in a pilot symbol block as an amplitude phase compensation vector, compensates for an amplitude phase change quantity of an information symbol, and outputs the compensated vector to a RAKE composition section 2; a judgment section 3 externally outputs judgment data that is a result of synchronization detection; a re-modulation section 4 re-modulates the judgment data to feed back it to the synchronization detection section 1, and the synchronization detection section 1 serially updates amplitude phase compensation vectors.

[Claims]

[Claim 1] A synchronization detection circuit that compensates for an amplitude phase change quantity of an information symbol while an average amplitude phase change vector computed in a pilot symbol block is defined as an amplitude phase compensation vector, said circuit characterized in that judgment data that is a result of a synchronization detection is fed back, and the amplitude phase compensation vector is serially updated.

[Claim 2] A synchronization detection circuit characterized in that an amplitude phase change quantity of a first information symbol is compensated for by employing the amplitude phase compensation vector while an average amplitude phase change quantity of a pilot symbol block is defined as an amplitude phase compensation vector; a second information symbol updates a weight average value between a judgment data that is a result of a synchronization detection that is precedent by one symbol and an information symbol that is precedent by the one symbol and the amplitude phase compensation vector as a new amplitude phase compensation vector, and compensates for the amplitude phase change quantity of the information symbol by employing the updated amplitude phase compensation vector; and a third or subsequent information symbol updates an amplitude phase change quantity between judgment data that is a result of synchronization detection that is precedent by one symbol and an information symbol that is precedent by the one symbol and the updated amplitude phase compensation vector as a new amplitude phase compensation vector, and compensates for an amplitude phase change quantity of the information symbol.

[Claim 3] A synchronization detection circuit as claimed in claim 2, characterized in that, in a weight average as claimed in claim 2, a weight relevant to an amplitude phase change quantity between judgment data that is a result of synchronization detection that is precedent by one symbol and the an information symbol that is precedent by the one symbol is lighter than a weight relevant to an amplitude phase compensation vector.

[Claim 4] A synchronization detection circuit as claimed in claim 2 or claim 3, characterized in that an average amplitude phase change quantity of a pilot symbol is defined as an addition average between an average amplitude phase change quantity relevant to a pilot symbol that is precedent by one slot and an average amplitude phase change quantity of the computed pilot symbol.

[Claim 5] A synchronization detection circuit as claimed in claim 2 or claim 3, characterized in that an average amplitude phase change quantity of a pilot symbol is defined as an addition average between an average amplitude phase change quantity relevant to a pilot symbol that is precedent by a plurality of slots and an average amplitude phase change quantity of the computed pilot symbol.

[Claim 6] A synchronization detection circuit characterized by comprising:

 a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

 a first complex conjugate multiplier that computes

complex conjugate multiplication between inputted correlation data and the replica signal;

an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude phase change quantity of a plurality of reception pilot symbols;

a selector that carries out selective output;

a second complex conjugate multiplier;

a first multiplier;

a third complex conjugate multiplier;

a second multiplier; and

an adder, said synchronization detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result of synchronization detection upon the receipt of input of correlation data having a symbol back spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing signal, selecting and outputting the average amplitude phase change quantity, and otherwise, selecting and outputting an output from the adder;

the second complex conjugate multiplier for computing and externally outputting a complex conjugate multiple between the inputted correlation data and a signal selected and outputted by the selector;

the first multiplier that multiplies an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by re-modulating the judgment data;

the second multiplier for multiplying an averaged weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and

the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector.

[Claim 7]

A synchronization detection circuit characterized by comprising:

a plurality of synchronization detection sections as claimed in claim 6, the sections provided corresponding to a pass;

a composition section for composing an output of the synchronization detection section;

a judgment section for reproducing an information symbol as judgment data from the result composed by the composition section; and

a re-modulation section for re-modulating the judgment data, and feed back and outputting the data to the synchronization detection section.

[Claim 8] A synchronization detection circuit

characterized by comprising:

a plurality of synchronization detection sections as claimed in claim 6, the section provided corresponding to a pass;

a composition section for composing an output of the synchronization detection section; and

a soft judgment section for softly judging and reproducing an information symbol as judgment data from the result composed by the composition section; and

a re-modulation section for re-modulating the judgment data by weighting an amplitude according to the likelihood of soft judgment, and feeding back to synchronization detection section and outputting the amplitude as a replica of a reception symbol.

[Claim 9] A synchronization detection circuit comprising:

a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

a first complex conjugate multiplier that computes complex conjugate multiplication between inputted correlation data and the replica signal;

an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude change quantity of a plurality of reception pilot symbol;

an average amplitude phase change vector storage register that temporarily stores an average amplitude phase

change vector outputted by the amplitude phase change quantity averaging section over one slot;

an average amplitude phase change vector outputted by the amplitude phase change quantity averaging section;

an addition averaging section that computing an addition average value with an average amplitude phase change vector stored by the average amplitude phase change vector storage register, and outputting the computed value to a selector;

a selector that carries out selective output;

a second complex conjugate multiplier;

a first multiplier;

a third complex conjugate multiplier;

a second multiplier; and

an adder, said wave detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result of synchronization detection upon the receipt of input of correction data having a symbol back-spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing signal, selecting and outputting the average amplitude phase change vector outputted from the addition averaging section, and otherwise, selecting and outputting an output from the adder;

the second complex conjugate multiplier for computing

and externally outputting a complex conjugate multiple between the inputted correction data and a signal selected and outputted by the selector;

the first multiplier for multiplying an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by re-modulating the judgment data;

the second multiplier for multiplying an averaged weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and

the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector.

[Detailed Description of the Invention]

[0001]

[Technical Field to Which the Invention Pertains]

The present invention pertains to a synchronization detection circuit in mobile communication. In particular, the present invention relates to a synchronization detection circuit that is applicable to a DS-CDMA system while a circuit scale is reduced, and power consumption is reduced.

[0002]

[Prior Art] In mobile communication, a variety of multiple connection methods are designed for efficiently use a resource such as a limited frequency. In recent years, a method called

a DS-CDMA (Direct Sequence-Code Division Multiple Access) system.

[0003] In the DS-CDMA system, it is known that a delay of about 1 slot must be unallowable for symbol judgment in order to carry out specific closed loop control type transmission power control for this system.

[0004] Conventionally, as a synchronization detection method, there is proposed a method for estimating a wireless propagation path change by using a pilot symbol inserted during a predetermined cycle at the receiving side, and compensating for a reception symbol by employing an estimation value of change of the wireless propagation path, thereby compensating for an amplitude phase change in reception symbols.

[0005] Such a conventional synchronization detection circuit will be described with reference to Fig. 5. Fig. 5 is a block diagram depicting a configuration of a conventional synchronization detection circuit. The conventional synchronization detection circuit achieves synchronization detection with high precision by a pilot interpolation type synchronization detection circuit, where the circuit is basically composed of a plurality of synchronization detection section 61, a RAKE composition section 62, and a judgment section 63.

[0006] In addition, each synchronization detection section 61 is composed of a symbol storage memory 71, a pilot symbol generation circuit 72, a first complex conjugate multiplier 73, an amplitude phase change quantity averaging section 74, an

interpolation circuit 75, and a second complex conjugate multiplier 76.

[0007] Hereinafter, each section will be specifically described. A synchronization detection section 61 compensates for a symbol amplitude phase upon the receipt of input of back spread correlation data, and outputs the symbol to a RAKE composition section 62. A specific description will be given later. The RAKE composition section 62 receives inputs of reception symbols after amplitude phase compensation by the number of passes from the synchronization detection section 61, adds them, and carries out RAKE composition.

[0008] Here, the inputted reception symbols presume that a symbol whose shape is back spread, and further is pass separated. The symbol is specifically as shown in Fig. 6. Fig. 6 is an illustrative view illustrating an example of a reception symbol inputted to a synchronization detection circuit. That is, in the inputted reception symbol, as shown in Fig. 6, slots composed of a block in which a plurality of pilot symbols are arranged (hereinafter, referred to as "a pilot symbol block") and a block in which a plurality of information symbols are arranged (hereinafter, referred to as "an information symbol block") are arranged sequentially.

[0009] The judgment section 63 receives an input of a reception symbol RAKE composed from the RAKE composition section 62, compares the received input with predetermined thresholds, and outputs the result of the comparison as judgment data.

[0010] Here, each part of the synchronization detection

section 61 will be specifically described. The symbol storage memory 71 stores the externally inputted reception symbol by one slot. The pilot symbol generation circuit 72 generates a signal identical to a known pilot symbol (hereinafter, referred to as "a replica signal"), and outputs the first complex conjugate multiplier 73.

[0011] The first complex conjugate multiplier 73 carries out complex conjugate multiplication between a pilot symbol in the externally inputted reception symbols and a replica signal inputted from the pilot symbol generation circuit 72, and detects an amplitude phase change quantity of the received pilot symbol. The pilot symbol in the reception symbol is obtained as a plurality of continuous blocks (hereinafter, referred to as "a pilot symbol block"), and thus, the first complex conjugate multiplier 73 outputs an amplitude phase change quantity by number.

[0012] The amplitude phase change quantity averaging section 74 averages a plurality of amplitude phase change quantities inputted from the first complex conjugate multiplier 73 in order to suppress a noise component of the amplitude phase change quantity, and computes an average amplitude phase change vector.

[0013] Namely, assuming that a vector of the k-th reception pilot symbol in the pilot symbol block consisting of "n" continuous pilot symbols is defined as $(p_{ik} + jP_{qk})$, and a vector of the k-th replica signal block outputted by the pilot symbol generation circuit 72 is defined as $(U_{ik} + jU_{qk})$, the average

amplitude phase change vector ($PR_i + jPR_q$) of the pilot symbol block is shown in formula 1 below, where "j" is a unit of imaginary number.

[0014]

[Formula 1]

[0015] The interpolation circuit 75 stores an average amplitude phase change vector of a pilot symbol block inputted from the previous amplitude phase change quantity averaging section 74, interpolates the vector with an average amplitude phase change vector of a pilot symbol block inputted from the amplitude phase change quantity averaging section 74, and computes an amplitude phase compensation vector that compensates for a symbol amplitude phase change. Here, for example, interpolation is an interpolation, which specifically means that an amplitude phase compensation vector is computed by interpolating an average amplitude phase change vector of a pilot symbol block positioned before and after an information symbol block for compensating for an amplitude phase change.

[0016] Namely, assuming that an average amplitude phase change vector (storing the precedent average amplitude phase change vector) of a pilot symbol block positioned before an information symbol block to be interpolated is defined as $(PR_{io} + jPR_{qo})$, and an average amplitude phase change vector (this average amplitude phase change vector) of a pilot symbol block positioned after an information symbol block is defined as $(PR_{in} + jPR_{qn})$, for example, in the case where 0-order interpolation

is carried out by these average values, the amplitude phase compensation vector ($S_i + jS_q$) is represented by formula 2 below.

[0017]

[Formula 2]

[0018] The second complex conjugate multiplier 76 carries out complex conjugate multiplication between an amplitude phase compensation vector inputted from the interpolation circuit 75 reception symbols and a reception symbol stored in the symbol storage memory 71, thereby compensating for an amplitude phase change, and outputs the result as a reception symbol after amplitude phase compensation.

[0019] Namely, assuming that a vector of a first information symbol in an information symbol block, for example, is defined as $(I_{i1} + j I_{q1})$, and an amplitude phase compensation vector obtained by interpolation for the purpose of compensating for the information symbol is defined as $(S_i + S_q)$, a vector $(E_{i1} + j E_{q1})$ of the first information symbol after amplitude phase compensation is given by formula 3 below.

[0020]

[Formula 3]

[0021] Now, an operation of a conventional synchronization detection circuit will be described here. In the following description, a pilot symbol block defines that four pilot symbols are sequentially arranged. First, a received signal is back spread, and further, is pass separated. The separated

signal is inputted as a reception symbol in the synchronization detection section 61 by pass. Then, a symbol storage memory 71 of the synchronization detection section 61 stores a reception symbol by one slot.

[0022] On the other hand, the pilot symbol generation circuit 72 generates a replica signal. The first complex conjugate multiplier 73 carries out complex conjugate multiplication between a pilot symbol in reception symbols and a replica signal inputted from the pilot symbol generation circuit 72, and detects an amplitude phase change quantity of the received four pilot symbols.

[0023] In addition, the amplitude phase change quantity averaging section 74 computes an average of four amplitude phase changes inputted from the first complex conjugate multiplier 73, and outputs an average amplitude phase change vector. This section 74 computes an average between the previously inputted by the interpolation circuit 75 average amplitude phase change vector and this inputted average amplitude phase change vector, and outputs the average as an amplitude phase compensation vector to the second complex conjugate multiplier 76.

[0024] Then, the second complex conjugate multiplier 76 carries out complex conjugate multiplication between a reception symbol stored in the symbol storage memory 71 and an amplitude phase compensation vector, compensates each information symbol, and outputs the symbol as a reception symbol having an amplitude phase compensated to a RAKE composition section 62. Namely, the reception symbol having the amplitude

phase compensated is obtained as a reception symbol weighted by an amplitude value of the amplitude phase compensation vector outputted by the interpolation circuit 75.

[0025] Then, the RAKE composition section 62 adds and composes reception symbols having compensated an amplitude phase inputted from a plurality of synchronization detection section 61 (computes a maximum rate composition), and outputs the added, composed reception symbol to the judgment section 63.

[0026] Then, the judgment section 63 compares the maximum rate composed reception symbol with the preset thresholds and make judgment, and outputs the result as judgment data.

[0027]

[Problems to Be Solved by the Invention] However, in the above described conventional synchronization detection circuit, to compensate the amplitude phase change of the information symbol block, an average amplitude phase change vector positioned after an information symbol block uses, thus requiring a memory for temporarily storing a reception symbol. Thus, there has been a problem that, if the number of passes is increased to improve a pass diversity effect, the memory capacity increases concurrently, and the circuit scale and power consumption increase.

[0028] In addition, in the DS-CDMA system, there is employed a transmission power control method called a closed loop control type transmission power control in which a base station obtained interference power based on a reception signal from a mobile station, and adjusts transmission power relevant to the mobile

station according to the interference power. However, in the above described conventional synchronization detection circuit, a delay of time by one slot occurs until judgment data has been obtained. Thus, there has been a problem that transmission power control based on the reception signal is delayed by time intervals for one slot, an error is increased, the subscriber's capacitance is lowered, and a communication quality is degraded, thus making it possible to apply this method to the DS-CDMA system.

[0029] The present invention has been made in view of the above circumstance. It is an object of the present invention to provide a synchronization detection circuit applicable to the DS-CDMA system in which a circuit scale is reduced, thereby reducing power consumption, and a judgment delay is low, the circuit employing a closed loop control type transmission power control.

[0030]

[Means for Solving the Problems]

The invention as claimed in claim 1 for solving the above described conventional problem is directed to a synchronization detection circuit that compensates for an amplitude phase change quantity of an information symbol while an average amplitude phase change vector computed in a pilot symbol block is defined as an amplitude phase compensation vector, said circuit characterized in that judgment data that is a result of a synchronization detection is fed back, and the amplitude phase compensation vector is serially updated, which can reduce

a circuit scale and power consumption, and which is applicable to a DS-CDMA system.

[0031] The invention as claimed in claim 2 for solving the above described conventional problem is directed to a synchronization detection circuit characterized in that an amplitude phase change quantity of a first information symbol is compensated for by employing the amplitude phase compensation vector while an average amplitude phase change quantity of a pilot symbol block is defined as an amplitude phase compensation vector; a second information symbol updates a weight average value between a judgment data that is a result of a synchronization detection that is precedent by one symbol and an information symbol that is precedent by the one symbol and the amplitude phase compensation vector as a new amplitude phase compensation vector, and compensates for the amplitude phase change quantity of the information symbol by employing the updated amplitude phase compensation vector; and a third or subsequent information symbol updates an amplitude phase change quantity between judgment data that is a result of synchronization detection that is precedent by one symbol and an information symbol that is precedent by the one symbol and the updated amplitude phase compensation vector as a new amplitude phase compensation vector, and compensates for an amplitude phase change quantity of the information symbol, which can reduce circuit scale and power consumption, and which is applicable to the DS-CDMA system.

[0032] The invention as claimed in claim 3 for solving the above

described conventional problem is directed to a synchronization detection circuit as claimed in claim 2, characterized in that, a weight relevant to an amplitude phase change quantity between judgment data that is a result of synchronization detection that is precedent by one symbol and the information symbol that is precedent by one symbol is lighter than a weight relevant to an amplitude phase compensation vector, which can reduce a circuit scale and power consumption, and which is applicable to the DS-CDMA system.

[0033] The invention as claimed in claim 4 for solving the above described conventional problem is directed to a synchronization detection circuit as claimed in claim 2 or claim 3, characterized in that an average amplitude phase change quantity of a pilot symbol is defined as an addition average between an average amplitude phase change quantity relevant to a pilot symbol that is precedent by one slot and an average amplitude phase change quantity of the computed pilot symbol, which can output a judgment data which has compensated for the amplitude phase change quantity with a high accuracy which can reduce a circuit scale and power consumption, and which is applicable to the DS-CDMA system.

[0034] The invention as claimed in claim 5 for solving the above described conventional problem is directed to a synchronization detection circuit as claimed in claim 2 or claim 3, characterized in that an average amplitude phase change quantity of a pilot symbol is defined as an addition average between an average amplitude phase change quantity relevant to a pilot symbol that

is precedent by one slot and an average amplitude phase change quantity of the computed pilot symbol, which can output a judgment data which has compensated for the amplitude phase change quantity with a high accuracy which can reduce a circuit scale and power consumption, and which is applicable to the CDMA system.

[0035] The invention as claimed in claim 6 for solving the above described conventional problem is directed to a synchronization detection circuit characterized by comprising:

- a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

- a first complex conjugate multiplier that computes complex conjugate multiplication between inputted correlation data and the replica signal;

- an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude phase change quantity of a plurality of reception pilot symbols;

- a selector that carries out selective output;

- a second complex conjugate multiplier;

- a first multiplier;

- a third complex conjugate multiplier;

- a second multiplier; and

- an adder, said synchronization detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result

of synchronization detection upon the receipt of input of correlation data having a symbol back spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing signal, selecting and outputting the average amplitude phase change quantity, and otherwise, selecting and outputting an output from the adder;

the second complex conjugate multiplier for computing and externally outputting a complex conjugate multiple between the inputted correction data and a signal selected and outputted by the selector;

the first multiplier for multiplying an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by re-modulating the judgment data;

the second multiplier for multiplying an averaged weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and

the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector, which can reduce a circuit scale and power consumption, and which is applicable to the CDMA system.

[0036] The invention as claimed in claim 7 for solving the above

described conventional problem is directed to a synchronization detection circuit characterized by comprising:

- a plurality of synchronization detection sections as claimed in claim 6, the sections provided corresponding to a pass;

- a composition section for composing an output of the synchronization detection section;

- a judgment section for reproducing an information symbol as judgment data from the result composed by the composition section; and

- a re-modulation section for re-modulating the judgment data, and feed back and outputting the data to the synchronization detection section, which can reduce a circuit scale and power consumption, and which is applicable to the DS-CDMA system.

[0037] The invention as claimed in claim 8 for solving the above described conventional problem is directed to A synchronization detection circuit characterized by comprising:

- a plurality of synchronization detection sections as claimed in claim 6, the section provided corresponding to a pass;

- a composition section for composing an output of the synchronization detection section; and

- a soft judgment section for softly judging and reproducing an information symbol as judgment data from the result composed by the composition section; and

- a soft judgment section reproducing; and

- a re-modulation section for re-modulating the judgment

data, and feed back and outputting the data to the synchronization detection section, which can reduce a circuit scale and power consumption, and which is applicable to the DS-CDMA system.

[0038] The invention as claimed in claim 9 for solving the above described conventional problem is directed to a synchronization detection circuit comprising:

- a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

- a first complex conjugate multiplier that computes complex conjugate multiplication between inputted correlation data and the replica signal;

- an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude change quantity of a plurality of reception pilot symbol;

- an average amplitude phase change vector storage register that temporarily stores an average amplitude phase change vector outputted by the amplitude phase change quantity averaging section over one slot;

- an average amplitude phase change vector outputted by the amplitude phase change quantity averaging section;

- an addition averaging section that computing an addition average value with an average amplitude phase change vector stored by the average amplitude phase change vector storage register, and outputting the computed value to a

selector;

a selector that carries out selective output;

a second complex conjugate multiplier;

a first multiplier;

a third complex conjugate multiplier;

a second multiplier; and

an adder, said wave detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result of synchronization detection upon the receipt of input of correction data having a symbol back-spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing signal, selecting and outputting the average amplitude phase change vector outputted from the addition averaging section, and otherwise, selecting and outputting an output from the adder;

the second complex conjugate multiplier for computing and externally outputting a complex conjugate multiple between the inputted correction data and a signal selected and outputted by the selector;

the first multiplier for multiplying an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by

re-modulating the judgment data;

the second multiplier for multiplying an averaged weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and

the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector, which can compensate for an amplitude phase change quantity with high precision, and reproduce judgment data while reducing a circuit scale and power consumption, and which is applicable to the CD-MA system.

[0039]

[Preferred Embodiments of the Invention]

Embodiments of the present invention will be described referring to the accompanying drawings. A synchronization detection circuit according to the present invention (the present circuit) compensates for an amplitude phase change of an information symbol in accordance with an amplitude phase change quantity computed by employing an information symbol that is precedent by one symbol or pilot symbol. This circuit can reduce a circuit scale and power consumption, since it does not employ a memory. In addition, the circuit is applicable to the DS-CDMA system because a delay for one slot does not occur until compensation has been carried out, and judgment data has been outputted.

[0040] This circuit, as shown in Fig. 1, is composed of a plurality of synchronization detection section 1, a RAKE

composition section 2, a judgment section 3, and a re-modulation section 4. Fig. 1 is a block diagram depicting a configuration of this circuit. In addition, the synchronization detection circuit 1 is composed of a pilot symbol generation section 11, a first complex conjugate multiplier 12, an amplitude phase change quantity averaging section 13, a selector 14, a second complex conjugate multiplier 15, a first multiplier 16, a third complex conjugate multiplier 17, a second multiplier 18, and an adder 19. In the claims, the RAKE composition section 2 is simply referred to as "a composition section".

[0041] Hereinafter, each section will be specifically described. The synchronization detection section 1, like a conventional synchronization detection section 61, compensates for a symbol amplitude phase upon the receipt of correlation data back spread of each pass that carries out RAKE composition, respectively, and outputs the symbol to the RAKE composition section 2. This section is designed so that, when the symbol is outputted, a significant delay does not occur. A specific description will be given later.

[0042] The RAKE composition section 2 is similar to the conventional RAKE composition section 62, and the judgment section 3 is similar to the conventional judgment section 63, respectively. A description will be omitted here. The re-modulation section 4 re-modulates judgment data, feeds back and output the result as a re-modulation signal to the synchronization detection section 1.

[0043] Now, each part of the synchronization detection section

1 will be specifically described. The pilot symbol generation section 11 of the synchronization detection section 1 outputs a replica signal in the same way as the conventional pilot symbol generation section 62.

[0044] The first complex conjugate multiplier 12, like a conventional first complex conjugate multiplier 73, carries out complex conjugate multiplication between a plurality of pilot symbols contained in the inputted reception symbol and the replica signal inputted from the pilot symbol generation circuit 11, and computes an amplitude phase change quantity of a plurality of reception pilot symbols that correspond to the respective pilot symbols.

[0045] The amplitude phase change quantity averaging section 13, like a conventional amplitude phase change quantity averaging section 74, computes an average of amplitude phase change quantities of a plurality of reception pilot symbols that correspond to a first complex conjugate multiplier 12 in order to suppress a noise component of the amplitude phase quantity, and outputs the computed average as an average amplitude phase change vector of a pilot symbol block.

[0046] A selector 14 switches and outputs any of an average amplitude phase change vector inputted from the amplitude phase change quantity averaging section 13 and an amplitude phase compensation vector inputted from the adder 19 described later in accordance with a switching timing signal to be externally inputted.

[0047] The switching timing signal, as described later, is

provided so as to output an average amplitude phase change vector inputted from the amplitude phase change quantity averaging section 13, while a first information symbol (a first symbol of the information symbol block) that is present immediately after a pilot symbol block, of "n" information symbols, is inputted to the synchronization detection section 1, and so as to output an amplitude phase compensation vector inputted from the adder 19 while the other information symbol is inputted.

[0048] The second complex conjugate multiplier 15 carries out complex conjugate multiplication with vectors outputted from a reception symbol and a selector 14, and externally outputs it as a reception symbol after amplitude phase compensation.

[0049] Namely, in the reception symbols after amplitude phase compensation outputted by the second complex conjugate multiplier 15, with a first information symbol, amplitude phase compensation is carried out by an average phase change vector computed in a pilot symbol block. With respect to the other information symbols, amplitude phase compensation is carried out by an amplitude phase compensation vector caused by a re-modulation signal obtained by re-modulating judgment data on the first information symbol as described later.

[0050] The first multiplier 16 multiplies and outputs the vector and coefficient α inputted from the selector 14. The coefficient α used here is a weight coefficient (parameter) $0 \leq \alpha \leq 1$, which represents a mixture ratio between the vector output by the selector 14 and an amplitude phase change quantity of a reception symbol caused by the re-modulation signal of the

judgment data described later.

[0051] If the coefficient α is too small, an effect of an amplitude phase change quantity of a reception symbol caused by a re-modulation signal is too large, and the characteristics are degraded in the case where a judgment error occurs. If the coefficient α is too large, the amplitude phase change quantity of the reception symbol caused by the re-modulation signal is not reflected on the amplitude phase compensation vector. Thus, this coefficient must be determined in consideration of a balance of these factor.

[0052] On the other hand, when the coefficient α is expressed by a fraction, its denominator is an exponent of 2, it is known that a circuit construction of a weight averaging section composed of a first multiplier 16, a second multiplier 18, and an adder 19 can be simplified. Therefore, for example, it is currently considered to be optimal when " α " is $7/8 = 0.875$.

[0053] The third complex conjugate multiplier 17 carries out complex conjugate multiplication between the re-modulation signal inputted from the re-modulation section 4 and the externally inputted reception symbol, and is outputted as an amplitude phase change quantity of the reception symbol. The second multiplier 18 multiplies and outputs the amplitude phase change quantity and coefficient $(1 - \alpha)$ of the reception symbol inputted from the third complex conjugate multiplier 17. The coefficient α is $0 \leq \alpha \leq 1$, and thus, the coefficient $(1 - \alpha)$ meets a condition of $0 \leq (\alpha - 1) \leq 1$ as well.

[0054] The adder 19 adds a product between the amplitude phase

change quantity and coefficient ($\alpha - 1$) of the reception symbol inputted from the second complex conjugate multiplier 18 to a product between the amplitude phase compensation vector and coefficient α inputted from the first multiplier 16, and outputs it as an amplitude phase compensation vector.

[0055] Now, an operation of this circuit will be described here. The back spread correlation data to be inputted to this circuit is as shown in Fig. 2 (a), and is the same as the conventional data shown in Fig. 6. Fig. 2 is a timing chart representing an operation of this circuit.

[0056] In addition, a switching timing signal is considered to be as shown in Fig. 2 (b). Here, the switching timing signal is schematically assumed to be a pulse signal. When the signal is set to H (High), the selector 14 selects and outputs an average amplitude phase change vector inputted from the amplitude phase change quantity averaging section 13. In addition, when the signal is L (Low), the selector 14 outputs an amplitude phase compensation vector inputted from the adder 19.

[0057] In the case where the back spread correlation data is a pilot symbol block, like the conventional synchronization detection circuit, the pilot symbol generation section 11 of the synchronization detection section 1 outputs a replica signal of a pilot symbol, the first complex conjugate multiplier 12 carries out complex conjugate multiplier multiplication between the inputted correlation data and replica signal, and further, the amplitude phase change quantity averaging section 13 computes an average amplitude phase change vector.

[0058] Namely, when a vector of k -th reception pilot symbol in a pilot symbol block that consists of "n" continuous pilot symbols is defined as $(P_{ik} + j P_{qk})$, and a vector of k -th replica signal outputted by a pilot symbol generation circuit 11 is defined as $(U_{ik} + j U_{qk})$, an average amplitude phase change vector $(PR_i + j PR_q)$ in the pilot symbol block outputted by the amplitude phase change quantity averaging section 13 is similar to that shown in Formula 1 in the same way as conventionally.

[0059] Then, a switching timing signal is set to "H" at a timing at which the correlation data of the first information symbol is inputted, and thus, the selector 14 selects and outputs the average amplitude phase change vector at the amplitude phase change quantity averaging section 13.

[0060] Then, the second complex conjugate multiplier 15 carries out complex conjugate multiplication between correction data on the first information symbol and the average amplitude phase change vector, and outputs it as a reception symbol after amplitude phase compensation. Here, when the average amplitude phase change vector $(PR_i + j PR_q)$ obtained from a pilot symbol block is employed, the vector $(E_{i1} + j E_{q1})$ of the first information symbol is obtained as that shown in formula 4 below.

[0061]

[Formula 4]

[0062] Here, $(I_{i1} + j I_{q1})$ is correction data of the inputted first information symbol. Then, the RAKE composition section

2 RAKE composes a signal that corresponds to each pass outputted by the synchronization detection section 1, and the judgment section 3 outputs judgment data in the same manner as conventionally. Here, the judgment data outputted by the judgment section 3 is externally outputted, and is outputted to the re-modulation section 4 of this circuit as well.

[0063] The re-modulation section 4 re-modulates judgment data, and outputs it as a re-modulation signal to the third complex conjugate multiplier 17 of each synchronization detection section 1. Then, the third complex conjugate multiplier 17 carries out complex conjugate multiplication between the first information symbol and the re-modulation signal, and outputs it as an amplitude phase compensation vector to the second multiplier 18.

[0064] Namely, the re-modulation signal used here is handled as a signal that corresponds to a replica signal relevant to the first information symbol. In response to formula 1 relevant to the pilot symbol, the amplitude phase change quantity ($IR_{il} + j IR_{qi}$) of the first information is obtained as that shown in formula 5 below.

[0065]

[Formula 5]

[0066] Here, $(D_{il} + j D_{ql})$ represents a vector of a re-modulation signal. Then, the second multiplier multiplies 18 a coefficient $(1 - \alpha)$ for the amplitude phase compensation vector, and outputs it to the adder 19. On the other hand, an average

amplitude phase change vector outputted by the selector 14 is outputted to the adder 19 after the coefficient α is multiplied by means of the first multiplier 16. Then, the adder 19 adds both of these vectors, and outputs them to the selector 14.

[0067] When correlation data on a second information symbol is inputted, the switching timing signal is set to "L" so that the selector 14 outputs summation of the vectors inputted from the adder 19. Namely, the vector outputted by the adder 19 corresponds to a replica signal of the second or subsequent information symbol. For example, $(S_{i2} + jS_{q2})$ expressed by formula 6 below is obtained for the second information symbol.

[0068]

[Formula 6]

[0069] In addition, in general, $(S_{in} + j S_{qn})$ expressed by formula 7 below is obtained as follows.

[0070]

[Formula 7]

[0071] Then, the second complex conjugate multiplier 15 outputs complex conjugate multiplication between correlation data on k-th information symbol and the summation of the vectors $(S_{ik} + j S_{qk})$ as a reception symbol after amplitude phase compensation.

[0072] Then, a RAKE composition section 2 RAKE composes and outputs a reception symbol after these amplitude phase compensations, the reception symbol being outputted from the

synchronization detection section 1, so that the judgment section 3 outputs judgment data. Namely, the first information symbol carries out amplitude phase compensation by means of an amplitude phase change vector obtained from a pilot symbol block, and the subsequent information symbols feed back a re-modulation signal of judgment data so as to carry out amplitude phase compensation of the next information symbol by means of the amplitude phase change vector obtained by the re-modulation signal and information symbol.

[0073] According to this circuit, amplitude phase compensation of the next information symbol is carried out by employing a re-modulation signal of judgment data without employing a memory. Thus, the circuit scale is reduced, whereby power consumption can be reduced. In addition, a delay of one symbol does not occur until judgment data has been outputted after reception symbol input. Thus, there is advantageous effect that the circuit is applicable to the DS-CDMA system.

[0074] In addition, the judgment section 3 of this circuit may be a judgment section (a soft judgment section) that carries out soft judgment. In this case, the re-modulation section 4 is considered as weighting and re-modulating an amplitude according to the likeliness of the soft judgment data that is an output of the soft judgment section 3, and feeding back and outputting the result as a replica of the reception symbol to the synchronization detection section 1. Here, soft judgment denotes a system of judgment in which a plurality of thresholds are set, and the likeliness is defined as a value shown below,

for example. That is, in the case of octet soft judgment using 3 bits, when judgment is made in the vicinity of both poles, the likeliness is high. The likeliness is lower as it is closer to an intermediate value.

[0075] By doing this, the amplitude phase change quantity of the reception symbol computed by the third complex conjugate multiplier 17 is suppressed to be small at amplitude without changing a phase when the likelihood of the judgment data is low. Thus, there is advantageous effect that a feedback amount of noise is reduced, and the amplitude phase compensation can be carried out with high precision.

[0076] In addition, in this circuit, it is considered that amplitude phase compensation with higher precision be carried out by referring to an average phase amplitude change vector of reception pilot symbols of all slots. In this case, according to this circuit, as shown in Fig. 3, apart from the circuit shown in Fig. 1, there are provided an average amplitude phase change vector storage register 31 that temporarily stores an average amplitude phase change vector outputted by the amplitude phase change quantity averaging section 13 over one slot; and an addition averaging section 32. Fig. 3 is a block diagram depicting another configuration of this circuit.

[0077] Here, the addition averaging section 32 computes an addition average value between an average amplitude phase change vector outputted by the current amplitude phase change quantity averaging section 13 and the previous average amplitude phase change vector stored in the corresponding

average amplitude phase change vector storage register 31, and outputs the computation to the selector 14 instead of the average amplitude phase change vector outputted by the amplitude phase change quantity averaging section 13 shown in Fig. 1.

[0078] Namely, when the amplitude phase change quantity averaging section 13 outputs an average amplitude phase change vector of k-th pilot symbol, the addition averaging section 32 computes an addition average between the average amplitude phase change vector and the average amplitude phase change vector of k-th pilot symbol in the previous slot.

[0079] Namely, in this circuit shown in Fig. 3, the amplitude phase compensation vector ($S_{in1} + j S_{qn1}$) relevant to a first information symbol in an information symbol block of k slots is expressed by formula 8 below.

[0080]

[Formula 8]

[0081] Further, the capacitance of the average amplitude phase change vector storage register 31 is increased, whereby a plurality of the past corresponding average amplitude phase change vectors can be averaged and added. By doing this, there is advantageous effect that precision can be further improved.

[0082] This circuit can be considered as being an extrapolation type synchronization detection circuit. This circuit is different from a general extrapolation type synchronization detection circuit in that the average amplitude phase change vector computed from a pilot symbol block immediately before

an information symbol block is fixedly used as an amplitude phase compensation vector, judgment data is fed back instead of subjecting a reception symbol to amplitude phase compensation, and the reception symbol is subjected to amplitude phase compensation while the amplitude phase compensation vectors are serially updated.

[0083] Therefore, there is advantageous effect that the degradation of error rate characteristics of an information symbol close to a rear end of slot are reduced as compared with the conventional extrapolation type synchronization detection circuit.

[0084]

[Embodiment]

An embodiment when IF return in-room experiment using this circuit will be described with reference to Fig. 4. Fig. 4 is an illustrative view illustrating characteristics of this circuit, where a horizontal axis denotes an energy/noise power density per a bit, and a vertical axis denotes a bit error rate (BER).

[0085] In conditions for the experiment shown in Fig. 4, the IF frequency is set to 90 MHz, the scattering bandwidth is set to 10 MHz, and the modulation systems QPSK and BPSK are used for data and scattering modulation.

[0086] The scattering rate is set to 128, the symbol rate is set to 64 ksps, and the chip rate is set to 7.68 Mcps. As shown in Fig. 4, in this circuit, it is found that characteristics similar to those of the conventional interpolation type circuit


can be obtained.

[0087]

[Advantageous Effect of the Invention]

According to the invention as claimed in claim 1, there is provided a synchronization detection circuit that compensates for an amplitude phase change quantity of an information symbol while an average amplitude phase change vector computed in a pilot symbol block is defined as an amplitude phase compensation vector, said circuit characterized in that judgment data that is a result of a synchronization detection is fed back, and the amplitude phase compensation vector is serially updated. Thus, there is no need to use an average amplitude phase change vector in a pilot block positioned after an information symbol block in order to compensate for an amplitude phase change in information symbol block, and a memory for temporarily storing a reception symbol is eliminated, and there is advantageous effect that a circuit scale and power consumption can be reduced. In addition, there is advantageous effect that the circuit is applicable to the DS-CDMA system, since a large delay does not occurs until judgment data has been obtained.

[0088] According to claim 2 or 3, since there is provided a synchronism detection circuit wherein an amplitude phase fluctuation quantity of a first information symbol is compensated for by employing an average amplitude phase fluctuation quantity of a pilot symbol block which is precedent to the information symbol as an amplitude phase compensation



vector, and the amplitude phase fluctuation quantity of the information symbol is compensated for by employing an averaging value of an amplitude phase fluctuation quantity between judgement data which is the result of the synchronism detection which is precedent by one symbol and the information symbol which is precedent by the one symbol and the amplitude phase compensation vector used for compensating for the information symbol which is precedent by one symbol as a new amplitude phase compensation vector until a new pilot symbol is received, it is unnecessary to utilize the average amplitude phase fluctuation vector of the pilot block positioned after the information symbol block in order to compensate for the amplitude phase fluctuation vector of the information symbol block and circuit scale and power consumption can be reduced. Also, since a large delay does not occur before the judgement data is obtained, the invention can be applied to a DS-CDMA system.

[0089] According to claim 4, since there is provided a synchronism detection circuit according to claim 2 or 3, wherein the average of the amplitude phase fluctuation quantity of the pilot symbol is set to an averaging of the average of the amplitude phase fluctuation quantity to the pilot symbol precedent by one symbol and the average of the amplitude phase fluctuation quantity calculated this time, the accuracy of the amplitude phase fluctuation quantity of the pilot symbol can be increased. In addition to the effect in claim 2 or 3, the accuracy of compensation of the amplitude phase fluctuation

quantity of the pilot symbol can be improved.

[0090] According to the invention as claimed in claim 5, there is provided a synchronization detection circuit as claimed in claim 2 or claim 3, characterized in that an average amplitude phase change quantity of a pilot symbol is defined as an addition average between an average amplitude phase change quantity relevant to a pilot symbol that is precedent by one symbol and an average amplitude phase change quantity of the computed pilot symbol. Thus, there is advantageous effect that the precision of the amplitude phase change quantity of a pilot symbol is improved, and the precision of compensation for an amplitude phase change of an information symbol can be improved in addition to the advantageous effect as claimed in claim 2 or claim 3.

[0091] According to the invention as claimed in claim 6, there is provided a synchronization detection circuit characterized by comprising:

- a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

- a first complex conjugate multiplier that computes complex conjugate multiplication between inputted correlation data and the replica signal upon the receipt of input of correlation data having a symbol back spread;

- an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude phase change quantity of a plurality of reception pilot symbols;

a selector that carries out selective output;

a second complex conjugate multiplier;

a first multiplier;

a third complex conjugate multiplier;

a second multiplier; and

an adder, said synchronization detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result of synchronization detection upon the receipt of input of correlation data having a symbol back spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing, selecting and outputting the average amplitude phase change quantity, and otherwise, selecting and outputting an output from the adder;


the second complex conjugate multiplier for computing and externally outputting a complex conjugate multiple between the inputted correction data and a signal selected and outputted by the selector;

the first multiplier for multiplying an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by re-modulating the judgment data;

the second multiplier for multiplying an averaged

weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and



the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector. Thus, since an amplitude phase change of an information symbol is compensated for, while the precision is serially maintained without using an average amplitude phase change vector of a pilot block positioned after the information symbol block in order to compensate for the amplitude phase change in information symbol block, a memory for temporarily storing a reception symbol is eliminated. Therefore, there is advantageous effect that a circuit scale and power consumption can be reduced. In addition, there is advantageous effect that the circuit is applicable to the DS-CDMA system, since a large delay does not occur until judgment data has been obtained.


[0092] According to the invention as claimed in claim 7, there is provided a synchronization detection circuit characterized by comprising:

a plurality of synchronization detection sections as claimed in claim 6, the sections provided corresponding to a pass, outputs the information symbol compensating amplitude phase change from the inputted back spread correlation data;

a composition section for composing an output of the synchronization detection section;

a judgment section for reproducing an information symbol as judgment data from the result composed by the

composition section; and



a re-modulation section for re-modulating the judgment data, and feed back and outputting the data to the synchronization detection section. Thus, since an amplitude phase change of an information symbol is compensated for, while the precision is serially maintained without using an average amplitude phase change vector of a pilot block positioned after the information symbol block in order to compensate for the amplitude phase change in information symbol block, a memory for temporarily storing a reception symbol is eliminated. Therefore, there is advantageous effect that a circuit scale and power consumption can be reduced. In addition, there is advantageous effect that the circuit is applicable to the DS-CDMA system, since a large delay does not occur until judgment data has been obtained.

[0093] According to the invention as claimed in claim 8, there is provided a synchronization detection circuit characterized by comprising:

a plurality of synchronization detection sections as claimed in claim 6, the section provided corresponding to a pass, that outputs the information symbol compensating amplitude phase change from the inputted back spread correlation data;

a composition section for composing an output of the synchronization detection section; and

a soft judgment section for softly judging and reproducing an information symbol as judgment data from the result composed by the composition section; and

a re-modulation section for re-modulating the judgment data by weighting an amplitude according to the likelihood of soft judgment,

and feeding back and outputting the amplitude as a replica signal of a reception symbol. Thus, since an amplitude phase change of an information symbol block is compensated for, while the precision is serially maintained without using an average amplitude phase change vector of a pilot block positioned after the information symbol block in order to compensate for the amplitude phase change in information symbol block, a memory for temporarily storing a reception symbol is eliminated. Therefore, there is advantageous effect that a circuit scale and power consumption can be reduced. In addition, there is advantageous effect that the circuit is applicable to the DS-CDMA system, since a large delay does not occur until judgment data has been obtained.

[0094] According to the invention as claimed in claim 9, there is provided a synchronization detection circuit comprising:

a pilot symbol generation section that outputs a replica signal that is identical to a pilot symbol;

a first complex conjugate multiplier that computes complex conjugate multiplication between inputted back spreaded correlation data and the replica signal;

an amplitude phase change quantity averaging section that computes an average of results of the complex conjugate multiplication, and outputs the computed average as an average amplitude change quantity of a plurality of reception pilot

symbol;

an average amplitude phase change vector storage register that temporarily stores an average amplitude phase change vector outputted by the amplitude phase change quantity averaging section over one slot, and outputs the average of the previously stored amplitude phase change quantity;

an addition averaging section that computing an addition average value with an average amplitude phase change vector stored by the average amplitude phase change vector storage register, and outputting the computed value to a selector;

a selector that carries out selective output of the average amplitude phase change quantity output from the amplitude phase change averaging section in accordance with a switch timing signal input from outside;

a second complex conjugate multiplier that outputs outside a computed complex conjugate multiplication between the inputted correlation data and selectively output signal;

a third complex conjugate multiplier that computes and outputs a complex conjugate multiplication between the signal re-modulating the first information symbol judgement data obtained by the output and the first information symbol correlation data;

a second multiplier multiplies the weight averaged by signal outputted from the first multiplier, while multiplying the averaged weight by the result of the conjugate complex multiplication ; and

an adder, said wave detection circuit compensating for an amplitude phase change quantity of the correlation data, and outputting judgment data that is a result of synchronization detection upon the receipt of input of correction data having a symbol back-spread, characterized by comprising a synchronous wave detector being:

the selector for, while correlation data on a first information symbol is inputted in accordance with an externally inputted switching timing, selecting and outputting the average amplitude phase change quantity, and otherwise, selecting and outputting an output from the adder;

the second complex conjugate multiplier for computing and externally outputting a complex conjugate multiple between the inputted correction data and a signal selected and outputted by the selector;

the first multiplier for multiplying an average weight on a signal outputted from the selector;

the third complex conjugate multiplier for computing a complex conjugate multiple with the inputted correlation data when it externally receives an input of a signal obtained by re-modulating the judgment data;

the second multiplier for multiplying an averaged weight for a result of complex conjugate multiplication inputted from the third complex conjugate multiplier; and

the adder for adding a signal weighted by the first multiplier and a signal weighted by the second multiplier, thereby outputting the added signal to the selector. Thus, the

precision of an amplitude phase compensation vector for compensating for a first information symbol is improved. In addition, since an amplitude phase change of an information symbol is compensated for, while the precision is serially maintained without using an average amplitude phase change vector of a pilot block positioned after the information symbol block in order to compensate for the amplitude phase change in information symbol block, a memory for temporarily storing a reception symbol is eliminated. Therefore, there is advantageous effect that a circuit scale and power consumption can be reduced. In addition, there is advantageous effect that the circuit is applicable to the DS-CDMA system, since a large delay does not occur until judgment data has been obtained.

[Brief Description of the Drawings]

[Fig. 1]

Fig. 1 is a block diagram depicting a configuration of the present circuit.

[Fig. 2]

Fig. 2 is a timing chart representing an operation of the present circuit.

[Fig. 3]

Fig. 3 is a block diagram depicting another configuration of the present circuit.

[Fig. 4]

Fig. 4 is an illustrative view illustrating characteristics of the present circuit.

[Fig. 5]

Fig. 5 is a block diagram depicting a configuration of a conventional synchronization detection circuit.

[Fig. 6]

Fig. 6 is an illustrative view illustrating an example of a reception symbol inputted to the synchronous wave detection circuit.

[Reference Numerals]

- 1... Synchronization detection section
- 2... RAKE composition section
- 3... Judgment section
- 4... Re-modulation section
- 11... Pilot symbol generation section
- 12... First complex conjugate multiplier
- 13... Amplitude phase change quantity averaging section
- 14... Selector
- 15... Second complex conjugate multiplier
- 16... First multiplier
- 17... Third complex conjugate multiplier
- 18... Second multiplier
- 19... Adder
- 31... Average amplitude phase change vector storage register
- 32... Addition average section
- 61... Synchronization detection section
- 62... RAKE composition section
- 63... Judgment section
- 71... Symbol storage memory
- 72... Pilot symbol generation circuit

- 73... First complex conjugate multiplier
- 74... Amplitude phase change quantity averaging section
- 75... Interpolation circuit
- 76... Second complex conjugate multiplier

[FIG. 1]

SYNCHRONIZATION DETECTION SECTION

2 RAKE COMPOSITION SECTION

3 JUDGMENT SECTION

4 RE-MODULATION SECTION

13 AMPLITUDE PHASE CHANGE QUANTITY AVERAGING SECTION

11 PILOT SYMBOL GENERATION SECTION

1B SYNCHRONIZATION DETECTION SECTION

1N SYNCHRONIZATION DETECTION SECTION

SWITCHING TIMING SIGNAL

[FIG. 2]

PILOT SYMBOL BLOCK

INFORMATION SYMBOL BLOCK

PILOT SYMBOL BLOCK

FIRST INFORMATION SYMBOL

[FIG. 5]

71 SYMBOL STORAGE MEMORY

62 RAKE COMPOSITION SECTION

63 JUDGMENT SECTION

72 PILOT SYMBOL GENERATION SECTION

74 AMPLITUDE PHASE CHANGE QUANTITY AVERAGING SECTION

75 INTERPOLATION CIRCUIT

SYNCHRONIZATION DETECTION SECTION

61B SYNCHRONIZATION DETECTION SECTION

61N SYNCHRONIZATION DETECTION SECTION

[FIG. 3]

SYNCHRONIZATION DETECTION SECTION

2 RAKE COMPOSITION SECTION

3 JUDGMENT SECTION

4 RE-MODULATION SECTION

13 AMPLITUDE PHASE CHANGE QUANTITY AVERAGING SECTION

11 PILOT SYMBOL GENERATION SECTION

32 ADDITION AVERAGING SECTION

31 AVERAGE AMPLITUDE PHASE CHANGE VECTOR STORAGE REGISTER

1B SYNCHRONIZATION DETECTION SECTION

1N SYNCHRONIZATION DETECTION SECTION

SWITCHING TIMING SIGNAL

[FIG. 6]

INFORMATION SYMBOL BLOCK

PILOT SYMBOL BLOCK

INFORMATION SYMBOL BLOCK

PILOT SYMBOL BLOCK

INFORMATION SYMBOL BLOCK

PILOT SYMBOL BLOCK

SLOT 1 SLOT 2 SLOT 3

[FIG. 4]

SERIAL PROPAGATION PATH ESTIMATION TYPE SYNCHRONIZATION

DETECTION CHARACTERISTICS

AVERAGE 0-ORDER INTERPOLATION

SERIAL ESTIMATION

SERIAL ESTIMATION

SERIAL ESTIMATION